TECNICATURA SUPERIOR EN TELECOMUNICACIONES

ELECTRÓNICA MICROCONTROLADA

Docentes: Ing. Jorge E. Morales, Téc. Gonzalo Vera.

**Título:** Estructura del Microcontrolador AVR® de 8 bits

**Grupo 1:**

❖ Birge, Adolfo Federico.

❖ Carunchio, Carlos Javier.

❖ Ferreyra, María Luciana.

❖ Gutiérrez, Emma Vilma.

❖ Merlo, Emmanuel.

❖ Romero, Gisela de Lourdes.

Estructura del Microcontrolador AVR® de 8 bits

Núcleo de CPU AVR

Tiempo de instrucción AVR

Unidad lógica aritmética AVR

Registros de propósito general AVR

Registro de pila AVR

Registro de estado de AVR

Memoria AVR

Optimización del código C en AVR

Memoria de lectura mientras se escribe AVR (gestor de arranque)

Puertos de E/S digitales AVR

Modos de suspensión de bajo consumo AVR

Registro de reducción de potencia periférico AVR

Fusibles AVR

Interfaces de programación AVR

Temporizador AVR Watchdog

AVR USART Introducción

Temporizador AVR Comparar registro doble búfer

Modos de funcionamiento de AVR ADC

Modo diferencial AVR ADC

Modo de reducción de ruido AVR ADC

**Referencia de voltaje AVR® ADC**

La referencia analógica (AREF) es el voltaje de referencia del convertidor analógico al digital (ADC) en chip en dispositivos AVR. El voltaje de referencia para el ADC, VREF, indica el rango de voltaje de la conversión ADC. Los canales de un solo extremo que superan VREF dan como resultado un valor de conversión máximo. VREF se puede medir en el pin AREF con un voltímetro de alta impedancia.®

https://youtu.be/fN3J6wxijrE

**Opciones de VREF**

VREF se puede seleccionar como AVCC, referencia interna de 1,1 V o pin AREF externo.

* AVCC es el voltaje conectado al pin AVCC que está conectado internamente al ADC a través de un interruptor pasivo.
* La referencia interna de 1,1 V se genera a partir de la referencia de banda prohibida interna (VBG) a través de un amplificador interno.
* El pin AREF externo está conectado directamente al ADC, y el voltaje de referencia se puede hacer más inmune al ruido conectando un condensador entre el pin AREF y la tierra.

Si una fuente de voltaje fijo está conectada al pin AREF externo, la aplicación no puede usar las otras opciones de voltaje de referencia en la aplicación, ya que se cortocircuitarán al voltaje externo.

Si no se aplica voltaje externo al pin AREF, puede cambiar entre AVCC y 1.1 V como selección de referencia. El primer resultado de conversión de ADC después de cambiar la fuente de voltaje de referencia puede ser inexacto, y se recomienda descartar este resultado.

​Si se utilizan canales diferenciales, la referencia seleccionada no debe estar más cerca de AVCC de lo indicado en las "Características ADC de las características eléctricas" en la hoja de datos del dispositivo.

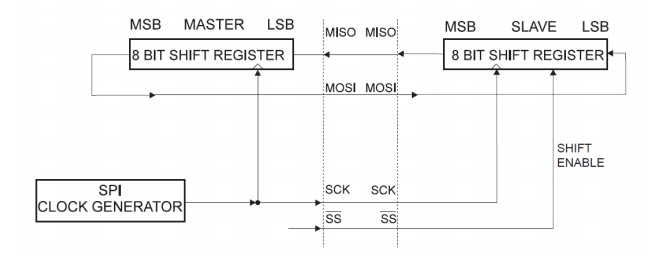
**Interfaz periférica serie AVR® (SPI)**

El protocolo de interfaz periférica serie (SPI) en dispositivos AVR® permitirá que su microcontrolador AVR se comunique con varios otros dispositivos al mismo tiempo. Utilice el bus SPI para comunicarse entre un dispositivo maestro y uno o varios dispositivos esclavos. SPI utiliza las líneas Master In Slave Out (MISO) y Master Out Slave In (MOSI) para comunicarse entre dispositivos, el reloj serie (SCK) para mantener un reloj coherente entre dispositivos y la línea Slave Select (SS) para elegir qué dispositivo periférico se está comunicando con el dispositivo maestro.

https://youtu.be/9DLxM\_GwT0A

Sistema SPI

El sistema consta de dos registros de turnos y un generador de reloj maestro. El SPI Master inicia el ciclo de comunicación al bajar el pin SS del Esclavo deseado. El maestro y el esclavo preparan los datos que se enviarán en sus respectivos registros de turnos, y el maestro genera los pulsos de reloj necesarios en la línea SCK para intercambiar datos. Los datos siempre se cambian de Maestro a Esclavo en la línea MOSI, y de Esclavo a Maestro en la línea MISO. Después de cada paquete de datos, el maestro sincronizará el esclavo tirando de la línea SS en alto.

[](https://microchipdeveloper.com/local--files/8avr:spiinterface/spistructure.png)

**Modo maestro**

Cuando se configura como Master, la interfaz SPI no tiene control automático de la línea SS. Esto debe ser manejado por el software del usuario antes de que pueda iniciarse la comunicación. Una vez hecho esto, al escribir un byte en el registro de datos SPI se inicia el generador de reloj SPI y el hardware cambia los ocho bits al esclavo. Después de cambiar un byte, el generador de reloj SPI se detiene, estableciendo el final de la bandera de transmisión (SPIF). Si se establece el bit SPI Interrupt Enable (SPIE) en el registro SPCR, se solicita una interrupción. El maestro puede continuar desplazando el siguiente byte escribiéndolo en SPDR o señalar el final del paquete tirando alto de la línea SS de Selección de esclavo. El último byte entrante se mantendrá en el Registro de búfer para su uso posterior.

**Modo esclavo**

Cuando se configura como slave, la interfaz SPI permanecerá en reposo con MISO tri-declarado siempre que el pin SS esté alto. En este estado, el software puede actualizar el contenido del registro de datos SPI, SPDR, pero los datos no se desplazarán por los pulsos de reloj entrantes en el pin SCK hasta que el pin SS se reduzca. Como un byte se ha desplazado por completo, se establece el final de la bandera de transmisión (SPIF). Si se establece el bit de habilitación de interrupciones SPI (SPIE) en el registro SPCR, se solicita una interrupción.

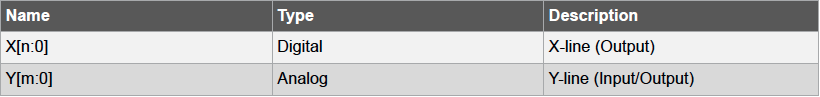
**Controlador táctil periférico AVR (PTC)**

El controlador táctil periférico (PTC), en algunos AVR® dispositivos, se utiliza para aplicaciones táctiles capacitivas. El PTC adquiere señales para detectar un toque en los sensores capacitivos. El sensor táctil capacitivo externo generalmente se forma en una PCB, y los electrodos del sensor se conectan al extremo frontal analógico del PTC a través de los pines de E / S en el dispositivo. El PTC admite sensores de capacitancia propia y mutua.

https://youtu.be/ZLl7yDypew8

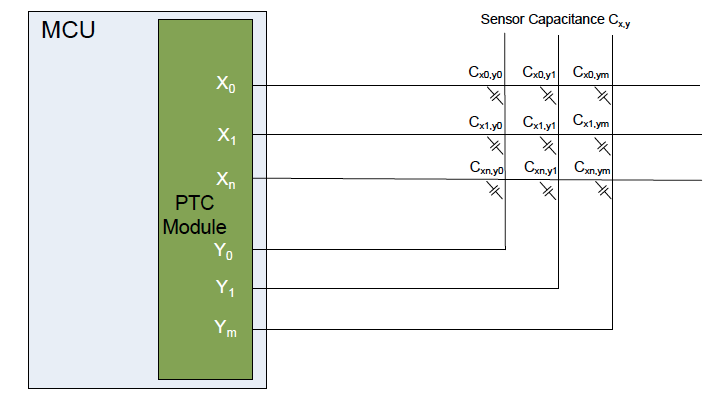
**Conexiones de E/S.**

Las líneas de E/S utilizadas para las líneas X analógicas y las líneas Y deben conectarse a electrodos de sensor táctil capacitivo externo. Los componentes externos no son necesarios para el funcionamiento normal. Sin embargo, para mejorar el rendimiento de la compatibilidad electromagnética (EMC), se puede utilizar una resistencia en serie de 1k Ω o más en líneas X e Y.

[](https://microchipdeveloper.com/local--files/8avr:captouch/ptcio.png)

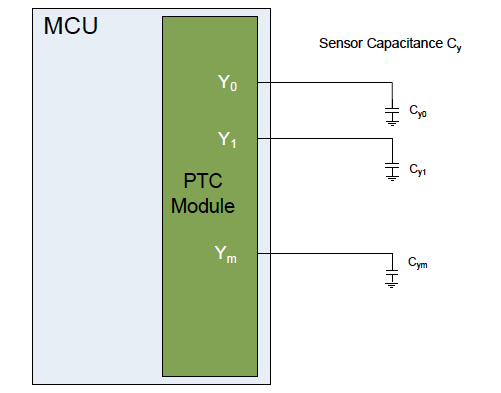
**Modo de capacitancia mutua**

En el modo de capacitancia mutua, la detección se realiza utilizando matrices táctiles capacitivas en varias configuraciones X-Y, incluidas las rejillas de sensores de óxido de indio y estaño (ITO). El PTC requiere un pin por línea X y un pin por línea Y. Se forma un sensor de capacitancia mutua entre las dos líneas de E/S: un electrodo X para transmitir y un electrodo Y para detectar. La capacitancia mutua entre el electrodo X e Y es medida por el PTC.

[](https://microchipdeveloper.com/local--files/8avr:captouch/ptcmutual.png)

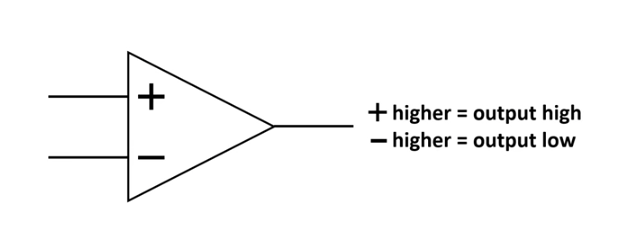
**Modo de autocapacitancia**

En el modo de autocapacitancia, el PTC solo requiere un pin (línea Y) para cada sensor táctil. Un sensor de autocapacitancia está conectado a un solo pin en el PTC a través del electrodo Y para detectar la señal. La capacitancia del electrodo de detección es medida por el PTC.

[](https://microchipdeveloper.com/local--files/8avr:captouch/ptcself.png)

**Comparador interno AVR**

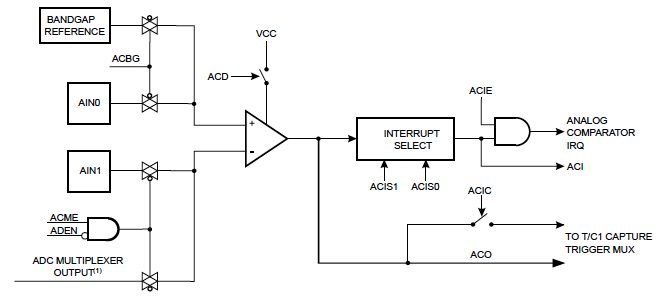
Muchos dispositivos AVR tienen un periférico comparador analógico interno que compara los valores de entrada en el pin positivo **AIN0** y el pin negativo **AIN1**. Cuando el voltaje en el pin positivo AIN0 es mayor que el voltaje en el pin negativo AIN1, se establece la salida del comparador analógico, **ACO**.

[](https://microchipdeveloper.com/local--files/8avr:comp/avrcomp.png)

**Descripción general del comparador**

https://youtu.be/wB\_4bGv9sYc

**Configuración del comparador**

[](https://microchipdeveloper.com/local--files/8avr:comp/avrcompblock.png)

Un diagrama de bloques del comparador y su lógica circundante.

**Interrupciones del comparador**

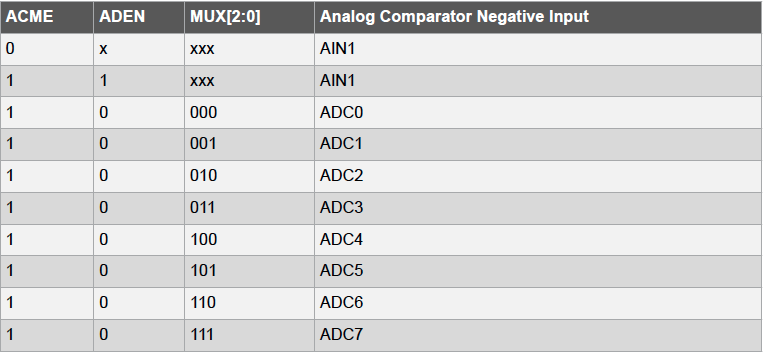
La salida del comparador se puede configurar para activar la función de captura de entrada Timer/Counter1. Además, el comparador puede activar una interrupción separada, exclusiva del comparador analógico. El usuario puede seleccionar La activación de interrupciones en la salida del comparador sube, baja o alterna.

**Opciones del pin de entrada negativo del comparador**

Es posible seleccionar cualquiera de los pines ADC[7:0] para reemplazar la entrada negativa al comparador analógico. El multiplexor ADC se utiliza para seleccionar esta entrada y, en consecuencia, el ADC debe estar desactivado para utilizar esta función.

Si el multiplexor de comparador analógico enable bit en el registro de control y estado de ADC B ADCSRB. ACME es '1' y el ADC está desactivado ADCSRA. ADEN=0, a continuación, los tres bits de selección de canal analógico menos significativos en el registro de selección de multiplexores ADC ADMUX. MUX[2:0] seleccione el pin de entrada para reemplazar la entrada negativa al comparador analógico.

Cuando ADCSRB. ACME=0 o ADCSRA. ADEN=1, AIN1 se aplica a la entrada negativa del Comparador Analógico.

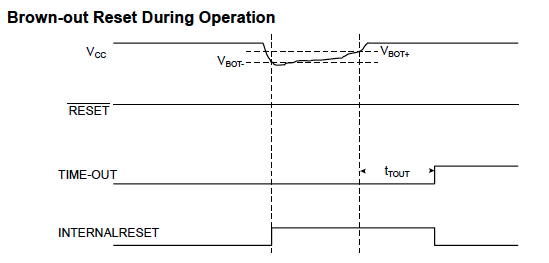
[](https://microchipdeveloper.com/local--files/8avr:comp/avrcompchart.png)

**Detección de apagado AVR**

Mucho **AVR®** los dispositivos tienen un circuito de detección de salida marrón (DBO) en el chip para monitorear el nivel de voltaje de funcionamiento (VCC) durante la operación. Al comparar el VCC con un nivel de disparo fijo, puede determinar si el dispositivo debe ponerse en modo de reinicio para evitar un funcionamiento errático.

https://youtu.be/G90Xd2ssxog

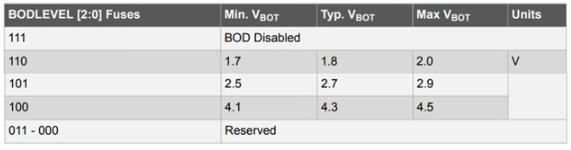
**Operación BOD**

[](https://microchipdeveloper.com/local--files/8avr:bod/avrbod.png)

El nivel de disparo tiene una histéresis para garantizar una DBO sin picos. Cuando la DBO está habilitada y VCC disminuye a un valor por debajo del nivel de activación (VBOT-), el Brown-out Reset se activa inmediatamente. Cuando VCC aumenta por encima del nivel de activación (VBOT+), el contador de retardo inicia el MCU después del período de tiempo de espera tPRESUMIR ha caducado. El circuito BOD solo detectará una caída en VCC si el voltaje permanece por debajo del nivel de disparo durante más tiempo que el ancho de pulso mínimo Detección de brown-out (tDbo) especificado en la hoja de datos del dispositivo.

**Configuración del fusible BOD**

El nivel de disparo para la DBO puede ser seleccionado por los fusibles BODLEVEL cuando se programa el dispositivo. Esta configuración no se puede cambiar mientras se ejecuta el software de la aplicación.

[](https://microchipdeveloper.com/local--files/8avr:bod/avrbodfuse.png)

**Desactivación de BOD**

Cuando el detector de apagado (DBO) está habilitado por fusibles BODLEVEL, el DBO monitorea activamente el voltaje de la fuente de alimentación incluso durante un período de suspensión. Para ahorrar energía, es posible desactivar la DBO mediante software para algunos de los modos de suspensión. El consumo de energía del modo de suspensión estará entonces al mismo nivel que cuando la DBO se desactiva globalmente por fusibles.

Si la DBO está deshabilitada en el software, la función DBO se desactiva inmediatamente después de entrar en el modo de suspensión. Al despertar del modo de suspensión, la DBO se vuelve a habilitar automáticamente. Esto garantiza un funcionamiento seguro en caso de que el nivel de VCC haya disminuido durante el período de sueño.

Cuando la DBO se ha desactivado, el tiempo de activación del modo de suspensión será de aproximadamente 60 μs para garantizar que la DBO funcione correctamente antes de que la MCU continúe ejecutando el código.

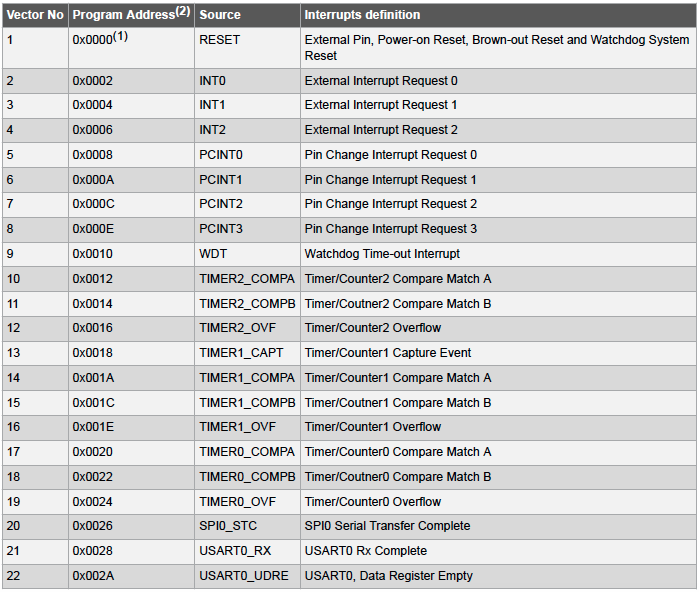
La desactivación de DBO está controlada por el bit de suspensión de DBO en el registro de control de MCU MCUCR. DBO. Establecer este bit en '1' apaga la DBO en los modos de suspensión relevantes, mientras que un '0' en este bit mantiene la DBO activa. La configuración predeterminada, MCUCR. DBO = 0, mantiene activa la DBO.

**Interrupciones AVR®**

AVR® los dispositivos proporcionan varias fuentes de interrupciones diferentes, [incluidas las interrupciones internas y externas](https://microchipdeveloper.com/8avr:extint). Las interrupciones pueden impedir que el programa principal se ejecute para realizar una rutina de servicio de interrupciones (ISR) separada. Cuando se completa el ISR, el control del programa se devuelve al programa principal en la instrucción que se interrumpió.

Cada una de estas interrupciones tiene un vector de programa separado en el espacio de memoria del programa. A todas las interrupciones se les asignan bits de habilitación individuales que deben escribirse en una lógica junto con el bit de habilitación de interrupción global en el Registro de estado para habilitar la interrupción. Las direcciones más bajas en el espacio de memoria del programa se definen de forma predeterminada como los vectores de restablecimiento e interrupción. Han determinado los niveles de prioridad; cuanto menor sea la dirección, mayor será el nivel de prioridad. RESET tiene la prioridad más alta, y la siguiente es la solicitud de interrupción externa 0 (INT0).

**Tabla de vectores de interrupción para ATmega324PB:**

[](https://microchipdeveloper.com/local--files/8avr:int/inttable.png)

Los vectores de interrupción se pueden mover al inicio de la sección Flash de arranque configurando el bit IVSEL en el registro de control MCU MCUCR. El vector de restablecimiento también se puede mover al inicio de la sección Flash de arranque programando el fusible BOOTRST.

https://youtu.be/onfpksEIXzg

**Cómo funciona**

Cuando se produce una interrupción, el bit I de habilitación de interrupción global se borra y todas las interrupciones se deshabilitan. El vector de interrupción dirige el control del programa al ISR o ejecución adecuados. Ese ISR puede escribir lógica uno en el I-bit para habilitar interrupciones anidadas. Todas las interrupciones habilitadas pueden interrumpir la rutina de interrupciones actual. Cuando se completa el ISR y se ejecuta el comando return (RETI) desde el ISR, el I-bit global se establece automáticamente en 'ON' y la ejecución del programa regresa al programa principal en la instrucción que se interrumpió.

**Tiempo de respuesta de interrupción**

La respuesta de ejecución de interrupciones para todas las interrupciones AVR habilitadas es de cuatro ciclos de reloj como mínimo. Después de cuatro ciclos de reloj, se ejecuta la dirección vectorial del programa para la rutina real de manejo de interrupciones. Durante este período de ciclo de cuatro relojes, el contador de programas se inserta en la pila. El vector es normalmente un salto a la rutina de interrupción, y este salto toma tres ciclos de reloj. Si se produce una interrupción durante la ejecución de una instrucción de varios ciclos, esta instrucción se completa antes de que se sirva la interrupción.

Si se produce una interrupción cuando la MCU está en modo de suspensión, el tiempo de respuesta de ejecución de interrupciones se incrementa en cuatro ciclos de reloj. Este aumento se suma al tiempo de arranque del modo de suspensión seleccionado. Un retorno de una rutina de manejo de interrupciones toma cuatro ciclos de reloj. Durante estos cuatro ciclos de reloj, el contador de programa (dos bytes) se vuelve a sacar de la pila, el puntero de la pila se incrementa en dos y se establece el bit I en SREG.

**Interrupciones externas AVR**

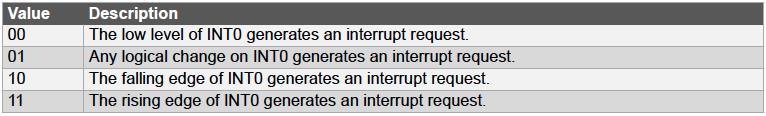
**AVR®** los dispositivos tienen interrupciones externas que pueden despertar un dispositivo del modo de suspensión en función de una señal de borde ascendente o descendente en un pin de E/S o un cambio en el nivel de voltaje digital en un pin de E/S. El dispositivo puede procesar una aplicación basada en la fuente de interrupción y luego volver a entrar en reposo. El dispositivo tiene varios pines de interrupción para múltiples fuentes de interrupción.

https://youtu.be/121d4HVkADs

**Interrupciones externas**

Las interrupciones externas son activadas por el pin INT o cualquiera de los pines PCINT. Si está habilitado, las interrupciones se activan incluso si los pines INT o PCINT están configurados como salidas. Esta característica proporciona una forma de generar una interrupción de software. Las interrupciones externas pueden desencadenarse por un borde que cae o sube o un nivel bajo. Esto es configurado por el Registro de Control de Interrupciones Externas A EICRA. Cuando las interrupciones externas están habilitadas y configuradas como activadas por nivel, las interrupciones se activan siempre que el pin se mantenga bajo.

El EICR del Registro de Control de Interrupciones Externas controla cómo funcionan las interrupciones externas.

[](https://microchipdeveloper.com/local--files/8avr:extint/extint.png)

Una interrupción de bajo nivel en el pin INT se detecta de forma asincrónica. Esto implica que esta interrupción se puede utilizar para despertar la parte también desde modos de suspensión distintos del modo inactivo. El reloj de E/S se detiene en todos los modos de suspensión, excepto en el modo inactivo.

**Interrupción de cambio de pin**

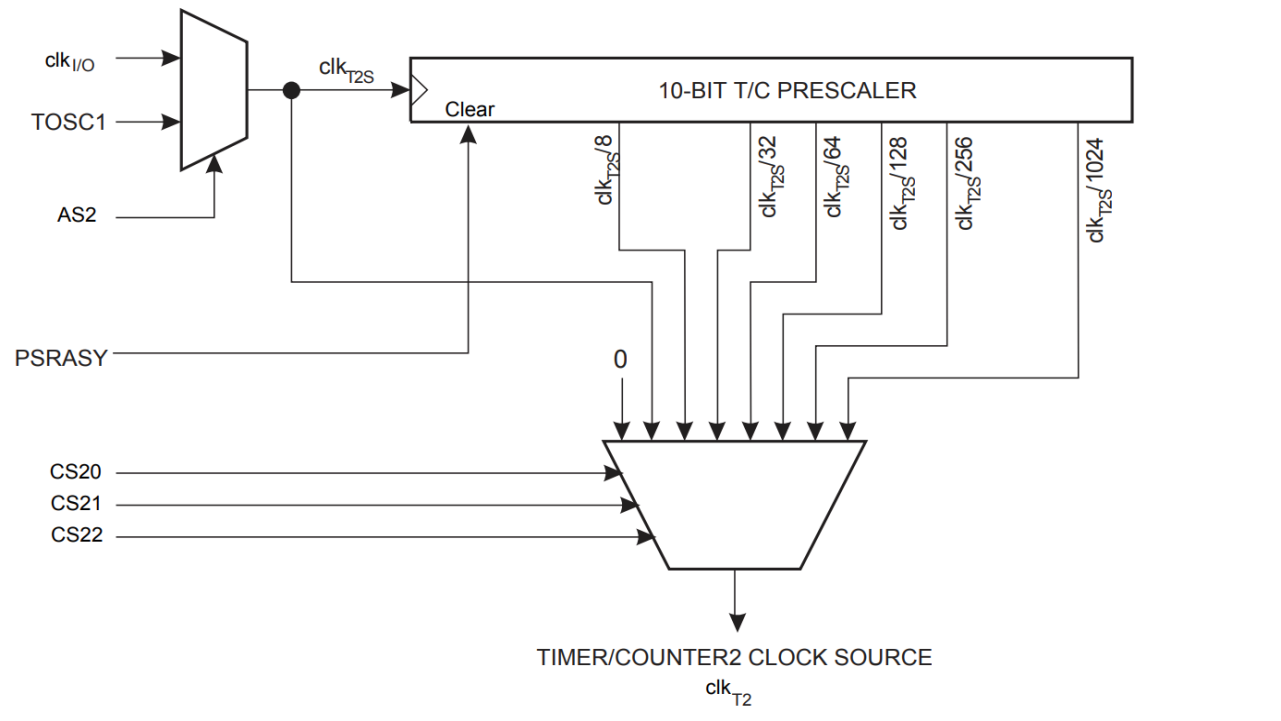
La solicitud de interrupción de cambio de pin se activa si cualquier pin PCINT habilitado cambia de estado. Hay varias interrupciones de cambio de pin, todas vinculadas a un conjunto de pines o puertos.  
En un dispositivo ATmega324PB, por ejemplo, las ubicaciones de cambio de pin son:

* La solicitud de interrupción de cambio de pin 4 (PCI4) se activa al cambiar los pines PCINT[38:32]
* La solicitud de interrupción de cambio de pin 3 (PCI3) se activa al cambiar los pines PCINT[31:24]
* La solicitud de interrupción de cambio de pin 2 (PCI2) se activa al cambiar los pines PCINT[23:16]
* La solicitud de interrupción de cambio de pin 1 (PCI1) se activa al cambiar los pines PCINT[15:8]
* La solicitud de interrupción de cambio de pin 0 (PCI0) se activa al cambiar los pines PCINT[7:0]

Los registros PCMSK4, PCMSK3, PCMSK2, PCMSK1y PCMSK0 controlan qué pines contribuyen a las interrupciones de cambio de pin. Las interrupciones de cambio de pin en PCINT se detectan de forma asincrónica. Esto implica que estas interrupciones también se pueden usar para despertar la parte  
de los modos de suspensión que no sean el modo inactivo.

**Contador en tiempo real (RTC) de AVR**

Los dispositivos AVR tienen un temporizador / contador tipo 2 (TC2) de uso general, doble canal, módulo de temporizador / contador de 8 bits. Este temporizador/contador permite la sincronización desde un cristal de reloj externo de 32 kHz, independiente de la E/S. Esto permite que el temporizador se ejecute como un contador de tiempo real (RTC) relativamente preciso.®

[](https://microchipdeveloper.com/local--files/8avr:rtc/tc2.png)

**Fuente del reloj**

La fuente de reloj para TC2 se denomina clkT2S. Está conectado de forma predeterminada al reloj de E/S del sistema principal, clkI/O. Escribiendo un 1 en el bit TC2 asíncrono en el Registro de estado asíncrono (ASSR. AS2), TC2 se sincroniza de forma asíncrona desde el pin TOSC1. Esto permite el uso de TC2 como RTC.

Cuando se establece AS2, los pines TOSC1 y TOSC2 se desconectan del puerto de E/S. Un cristal se puede conectar entre los pines TOSC1 y TOSC2 para servir como una fuente de reloj independiente para TC2. El oscilador está optimizado para su uso con un cristal de 32.768 kHz.

**Preescalador**

Para TC2, las posibles selecciones preescaladas son clkT2S/8, clkT2S/32, clkT2S/64, clkT2S/128, clkT2S/256 y clkT2S/1024. Además, se puede seleccionar clkT2S, así como 0 (stop). El preescalador se restablece escribiendo un 1 en el bit TC2 de restablecimiento del escalador previo en el Registro de control general de TC2 (GTCCR. PSRASY). Esto permite al usuario operar con un preescalador definido.

https://youtu.be/-8Qk3eDpr6Q